

LABORÜBUNGEN DIGITALTECHNIK – VERDRAHTUNGSANWEISUNGEN UND LEGENDE**VERDRAHTUNGSANWEISUNGEN**

Alle ICs werden mit +5V (V_{CC}) und 0V (GND) versorgt. Dazu ist jeweils der fixe 5V-Teil des Netzgerätes zu verwenden.

Die Eingänge (A, B) werden standardmäßig über einen (Pull-Down-)Widerstand auf 0V (Signalerde, Masse) gelegt. Soll ein Eingang auf High („1“) gesetzt werden, so muss vom betreffenden Eingang ein Drahtbügel direkt auf +5V gelegt werden. Der (Pull-Down-)Widerstand bleibt. Ein Beispiel für einen derartigen Aufbau finden Sie in der in Beispiel 1 abgebildeten Schaltung.

Die Leuchtdioden an den Ausgängen (Y) müssen mit richtiger Polarität angeschlossen werden. Der längere der beiden Anschlüsse ist die Anode (+-Anschluss). Sie wird an den Vorwiderstand angeschlossen. Der kürzere Anschluss ist die Kathode (Minuspol) und wird mit 0V (Signalerde, Masse) verbunden. Hält man die Leuchtdiode gegen einen hellen Hintergrund, so ist der durchscheinende größere Drahtanschluss die Kathode.

LEGENDE

KV-Diagramm

Es ist ein KV-Diagramm zu erstellen



Funktionsgleichung

Es ist eine Funktionsgleichung aufzustellen



Schaltung

Es ist eine Schaltung zu entwerfen



Simulation

Es ist eine Schaltung zu simulieren (PSpice)



Schaltungsaufbau

Es ist eine Schaltung aufzubauen (Steckbrett)

LABORÜBUNGEN DIGITALTECHNIK – ÜBUNG 1

BEISPIEL 0 – PSPICE

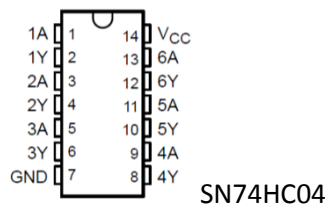
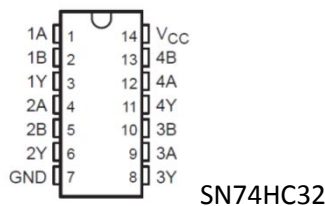
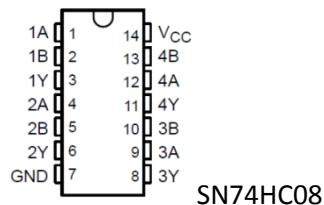
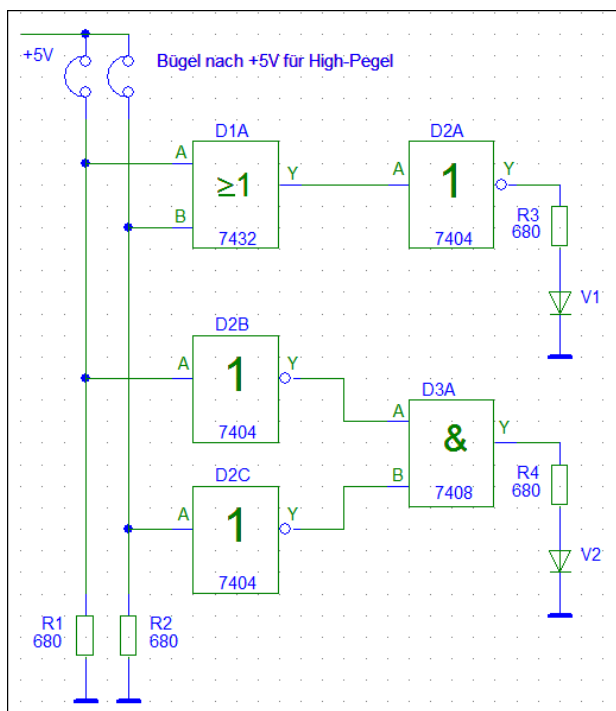


Starten Sie das Programm PSpice und erstellen Sie anhand der zur Verfügung gestellten Anweisung ein Beispielprojekt. Führen Sie die darin beschriebenen Arbeitsschritte durch und untersuchen Sie die Schaltungsausgänge. Dieses Beispiel bedarf keiner Dokumentation.

BEISPIEL 1 – ZWEITES DE MORGAN'SCHES GESETZ



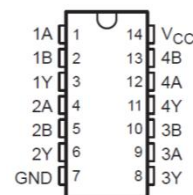
Weisen Sie das zweite De Morgan'sche Gesetz ($\overline{A \vee B} = \overline{A} \wedge \overline{B}$) durch eine geeignete simulierte Schaltung in PSpice sowie den unten dargestellten Schaltungsaufbau nach. Verwenden Sie dabei den SN74HC08-Baustein als UND- und den SN74HC32-Baustein als ODER- Gatter, sowie den SN74HC04-Baustein als Inverter. Die Beschaltung der Bausteine ist nachfolgend dargestellt.



BEISPIEL 2 – ODER-GATTER AUS NAND-GATTERN



Erstellen Sie ein ODER-Gatter, indem Sie (ausschließlich) NAND-Gatter derart verknüpfen, dass die Ausgangspegel der verknüpften NAND-Gatter für alle Kombinationsmöglichkeiten der Eingangspegel (zwei Eingänge!) denen eines ODER-Gatters entsprechen. Simulieren Sie die Schaltung aus NAND-Gattern für alle Einträge der Wahrheitstabelle und vergleichen Sie das Ergebnis mit den entsprechenden Einträgen der Wahrheitstabelle des ODER-Gatters. Verifizieren Sie die simulierte Schaltung anschließend durch einen Schaltungsaufbau. Verwenden Sie dabei den ODER-Baustein aus Beispiel 1 und den NAND-Baustein SN74HC00, dessen Beschaltung rechts dargestellt ist.

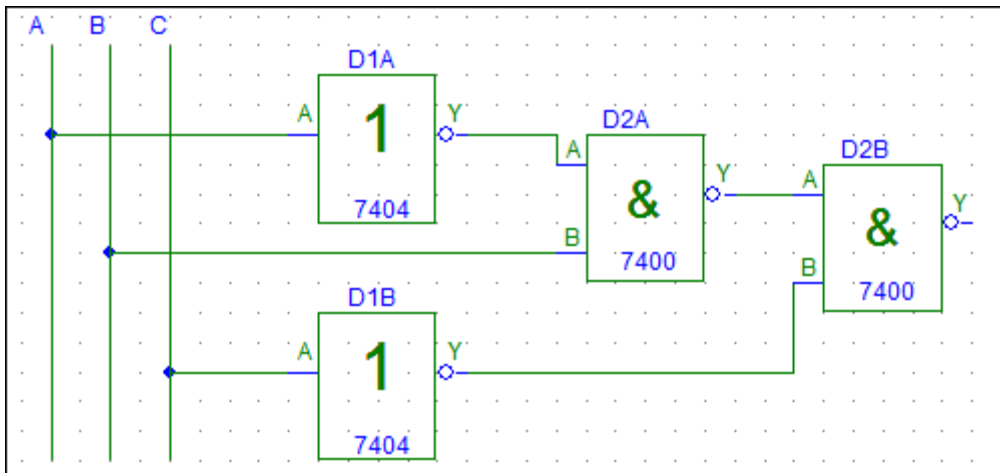


LABORÜBUNGEN DIGITALTECHNIK– ÜBUNG 2

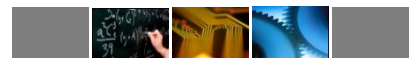
BEISPIEL 3 – SCHALTUNGSANALYSE



Simulieren Sie die nachfolgende Schaltung in PSpice und erstellen Sie die zur Schaltung gehörige Wahrheitstabelle. Verifizieren Sie die Wahrheitstabelle durch einen anschließenden Schaltungsaufbau. Verwenden Sie dabei die Bausteine aus den Beispielen 1 und 2.



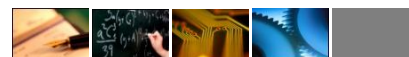
BEISPIEL 4 – SCHALTUNGSMINIMIERUNG/KV-DIAGRAMM



Erstellen Sie eine minimale Funktionsgleichung sowie die dazugehörige Wahrheitstabelle aus dem unten abgebildeten KV-Diagramm und überprüfen Sie beide durch die Simulation einer geeigneten Schaltung in PSpice.

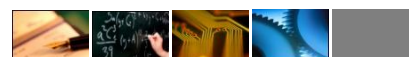
	$\bar{A} \wedge \bar{B}$	$\bar{A} \wedge B$	$A \wedge B$	$A \wedge \bar{B}$
$\bar{C} \wedge \bar{D}$	1	X		1
$\bar{C} \wedge D$				
$C \wedge D$				
$C \wedge \bar{D}$	1	1		X

BEISPIEL 5 – HALBADDERER



Entwerfen Sie die Schaltung für einen 1-Bit-Halbadierer, indem Sie die dazugehörige Wahrheitstabelle erstellen, mittels KV-Diagramm vereinfachen und die daraus gewonnene Funktionsgleichung in eine Schaltung umsetzen. Simulieren und verifizieren Sie diese Schaltung in PSpice.

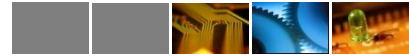
BEISPIEL 6 – VOLLADDERER



Erstellen und simulieren Sie, analog zu Beispiel 5, die Schaltung für einen 1-Bit-Volladdierer.

LABORÜBUNGEN DIGITALTECHNIK– ÜBUNG 3

BEISPIEL 7 – RS-FLIPFLOP AUS NAND-GATTERN

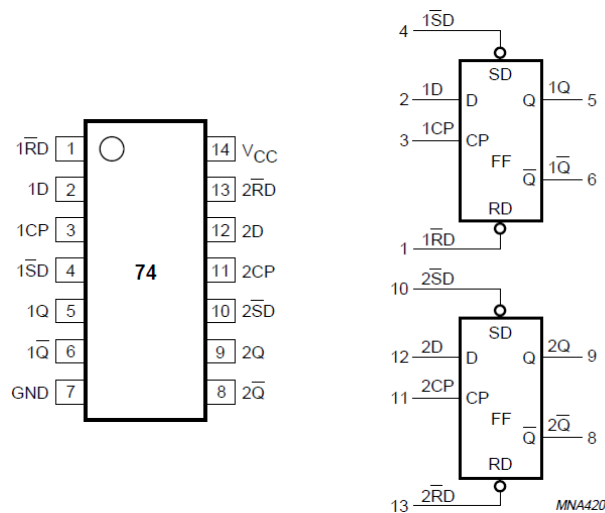


Entwerfen Sie ein RS-Flipflop aus NAND-Gattern, simulieren Sie Ihre Schaltung in PSpice und bauen Sie sie auf. Verwenden Sie dabei die Bausteine aus Beispiel 2.

BEISPIEL 8 – D-FLIPFLOP



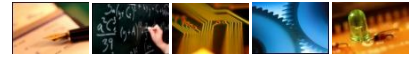
Überprüfen Sie die Wahrheitstabelle sowie die Wirkung des Reset- und des Preset-Eingang des D-Flipflops (Baustein 74HCT74) mit einem geeigneten Schaltungsaufbau. Die Beschaltung des D-Flipflop-Bausteins 74HCT74 ist nachfolgend beschrieben.



PIN	SYMBOL	DESCRIPTION
1	1RD	asynchronous reset-direct input (active LOW)
2	1D	data input
3	1CP	clock input (LOW-to-HIGH, edge-triggered)
4	1SD	asynchronous set-direct input (active LOW)
5	1Q	true flip-flop output
6	1Q̄	complement flip-flop output
7	GND	ground (0 V)
8	2Q̄	complement flip-flop output
9	2Q	true flip-flop output
10	2SD	asynchronous set-direct input (active LOW)
11	2CP	clock input (LOW-to-HIGH, edge-triggered)
12	2D	data input
13	2RD	asynchronous reset-direct input (active LOW)
14	V _{CC}	positive supply voltage

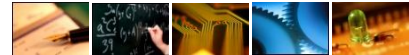
LABORÜBUNGEN DIGITALTECHNIK– ÜBUNG 4

BEISPIEL 9 – SYNCHRONER 2-BIT-BINÄRZÄHLER

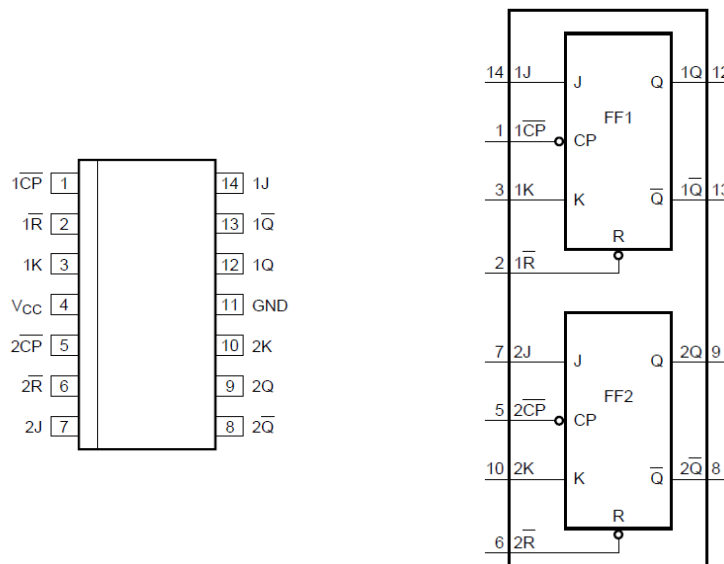


Erstellen und verifizieren Sie eine Schaltung für einen synchronen 2-Bit-Binärzähler aus D-Flipflops und simulieren Sie diese in PSpice. Überprüfen Sie sie anschließend durch einen geeigneten Schaltungsaufbau. Verwenden Sie dazu die Bausteine aus den Beispielen 1, 2 und 8.

BEISPIEL 10 – ASYNCHRONER 4-BIT-BINÄRZÄHLER



Erstellen und verifizieren Sie eine Schaltung für einen asynchronen 4-Bit-Binärzähler aus JK-Flipflops und simulieren Sie diese in PSpice. Überprüfen Sie sie anschließend durch einen geeigneten Schaltungsaufbau. Verwenden Sie dazu die den Baustein 74HC73 (Beschaltung siehe unten) sowie falls notwendig die Bausteine aus den Beispielen 1, 2 und 8.



Symbol	Pin	Description
$1\overline{CP}$, $2\overline{CP}$	1, 5	clock input (HIGH-to-LOW edge-triggered); also referred to as $n\overline{CP}$
$1\overline{R}$, $2\overline{R}$	2, 6	asynchronous reset input (active LOW); also referred to as $n\overline{R}$
1K, 2K	3, 10	synchronous K input; also referred to as nK
V_{CC}	4	positive supply voltage
GND	11	ground (0 V)
1Q, 2Q	12, 9	true output; also referred to as nQ
$1\overline{Q}$, $2\overline{Q}$	13, 8	complement output; also referred to as $n\overline{Q}$
1J, 2J	14, 7	synchronous J input; also referred to as nJ